

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135487

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/84

G01L 9/06

(21)Application number : 09-206334

(71)Applicant : SGS THOMSON MICROELETTRONICA SPA

(22)Date of filing : 31.07.1997

(72)Inventor : VIGNA BENEDETTO
FERRARI PAOLO
VILLA FLAVIO

(30)Priority

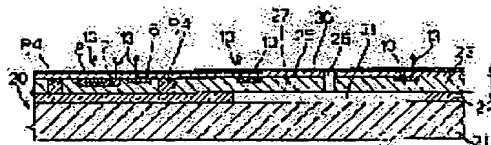
Priority number : 96 96830435 Priority date : 31.07.1996 Priority country : EP

(54) INTEGRATED PIEZOELECTRIC RESISTANCE PRESSURE SENSOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To significantly simplify processing and facilitate packaging.

SOLUTION: An insulating film 22 is partly removed by chemical etching as a sacrificial layer to form a diaphragm 27 in an SOI (silicon on insulator) substrate 20 and to integrate a pressure sensor. Piezoelectric resistance elements 10 and electronic components 4, 6-8 are formed on one and the same chip by integration. Thereafter, a trench 27 extending from the substrate 20 to the insulating film 22, is formed in an upper water 23 of the substrate 20. The insulating film 22 is chemically etched through the trench 26 to form an opening 31 under the diaphragm 27. A dielectric layer 26 is deposited to close the trench 26 and the opening 31 outwardly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135487

(43) 公開日 平成10年(1998) 5月22日

(51) IntCl⁴

識別記号

F I

H 0 1 L 29/84

H 0 1 L 29/84

B

G 0 1 L 9/06

G 0 1 L 9/06

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平9-206334

(22) 出願日 平成9年(1997) 7月31日

(31) 優先権主張番号 9 6 8 3 0 4 3 5 : 2

(32) 優先日 1996年7月31日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 592001159

エスジーエーストムソン マイクロエレクトロニクスソチエタ レスポンサビリティリミテ

イタリア国, 20041 アグラテ プリアンツァ, ピア オリベッティ, 2

(72) 発明者 ベネデット ビグナ

イタリア国, 85100 ポテンザ, ピア アンジォ 20

(72) 発明者 バオロ フェラーリ

イタリア国, 21013 ガーララーテ, ピア カパロッティ 14

(74) 代理人 弁理士 石田 敬 (外3名)

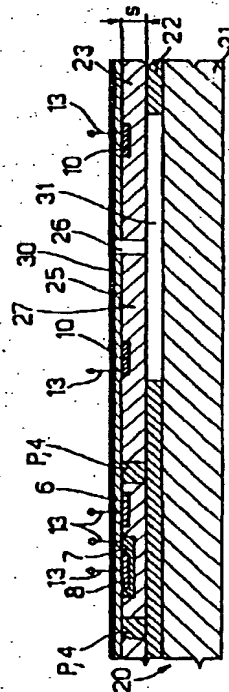
最終頁に続く

(54) 【発明の名称】 集積圧電抵抗圧力センサ及びその製造方法

(57) 【要約】

【課題】 処理の大幅単純化と、内在するパッケージングの問題の多くを除去する集積圧電抵抗圧力センサおよびその製造方法を提供する。

【解決手段】 S O I 基板内に、絶縁層を化学的エッチングにより部分的に除去されてダイアフラムを形成する犠牲層として用いて圧力センサを集積する。圧電抵抗素子 (10) と電子コンポーネント (4、6~8) を同一チップ内に集積形成した後に、トレンチ (26) が基板の上側ウエハ (23) 内に形成されて基板から絶縁層 (22) に延びる。絶縁層 (22) はトレンチを介して化学エッチングされ、ダイアフラム (27) の下に開口 (31) を形成する。誘電体層 (25) がデポジットされてトレンチ (26) と開口 (31) を外側に閉じる。



【特許請求の範囲】

【請求項1】 半導体材料の本体（20）内に形成されたダイアフラム（27、27a、27b）と、前記ダイアフラム内に形成された多数の圧電抵抗素子（10）とを備える集積圧電抵抗圧力センサにおいて、前記半導体の本体はSOI基板（20）であることを特徴とする集積圧電抵抗圧力センサ。

【請求項2】 前記半導体材料の本体（20）は単結晶半導体材料の第1のウエハ（21）と、前記第1のウエハ（21）の上の絶縁材料層（22）と、前記絶縁材料層（22）の上の単結晶半導体材料の第2のウエハ（23）とを備え、前記ダイアフラム（27、27a、27b）は、前記絶縁材料層内の開口（31）における前記第1のウエハ（21）に直接面する部分において前記第2のウエハ（23）内に形成されていることを特徴とする請求項1記載のセンサ。

【請求項3】 前記第2のウエハ（23）内に形成されており、前記ダイアフラム（27、27a、27b）に配置されており、前記絶縁材料層（22）の前記開口（31）に接続されている少なくとも1つのトレンチ（26）により特徴付けられる請求項2記載のセンサ。

【請求項4】 前記少なくとも1つのトレンチ（26）は前記ダイアフラム（27、27a）の中央部に形成されていることを特徴とする請求項3記載のセンサ。

【請求項5】 前記少なくとも1つのトレンチ（26）を閉じるための誘電体材料層（25）により特徴付けられる請求項3又は4記載のセンサ。

【請求項6】 前記ダイアフラム（27a）は円形であることを特徴とする請求項1から5のいずれか1項に記載のセンサ。

【請求項7】 前記ダイアフラム（27a）の半径を a とし、前記第2のウエハ（23）の厚さを s とし、 k をプロセスパラメータとし、 Q をセンサのフル・スケール圧力とすると、

$(a/s)^2 = 0.8 \times 10^3 / (k \cdot Q)$ であることを特徴とする、請求項6記載のセンサ。

【請求項8】 前記ダイアフラム（27b）は正方形であることを特徴とする、請求項1から請求項5のいずれか1項に記載のセンサ。

【請求項9】 SOI基板（20）を形成し、前記SOI基板内にダイアフラム（27；27a；27b）を形成し、そして前記ダイアフラム内に圧電素子（10）を形成する、というステップを備えることを特徴とする、請求項1から請求項8のいずれか1項に記載の集積圧電センサの製造方法。

【請求項10】 SOI基板を形成する前記ステップは、単結晶半導体材料の第1のウエハ（21）と、前記第1のウエハ（21）上の絶縁材料層（22）と、前記絶縁材料層（22）の上の単結晶半導体材料の第2のウ

エハ（23）とを備える半導体材料の本体（20）を形成するステップを備え、

ダイアフラム（27、27a、27b）を形成する前記ステップは、

前記第2のウエハを貫通して前記絶縁材料層（22）にまで延びる少なくとも1つのトレンチ（26）を形成し、そして前記少なくとも1つのトレンチを貫通して化学的エッチングにより前記絶縁材料層（22）内に開口（31）を形成する、というステップを備えることを特徴とする請求項9記載の方法。

【請求項11】 前記第2のウエハ（23）上に誘電体材料層（25）をデポジットするステップをさらに備え、前記誘電体材料層は前記少なくとも1つのトレンチ（26）を外側に対して閉じていることを特徴とする請求項10記載の方法。

【請求項12】 前記半導体材料本体（20）をコンテナに直接結合するステップにより特徴付けられる請求項10又は11に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は集積圧電抵抗圧力センサ及びその製造方法に関する。

【0002】

【従来の技術】 知られているように、近年、半導体材料の集積マイクロ圧力センサを製造するためのマイクロマシニング技術が開発されてきている。この技術は従来のセンサに比べて、低価格、高度の性能及び信頼性、よりよい信号対雑音比、インテリジェント・センサを製造するためにメモリ回路に集積化すること、オンライン自己試験、及びより大きい再生産性、といった多くの利点を提供する。このように、集積マイクロ圧力センサは自動車産業において今やますます使用されており、自動車の価格を全く上げることなくしに安全性を高め且つ環境保護に役立っている。

【0003】 現在市販されている半導体マイクロ圧力センサは実質的に次の2つの物理的效果に基づいている。即ち、1つは圧電効果であり、それによりシリコン・ダイアフラムの圧力誘導による湾曲が、そのダイアフラム内に拡散された抵抗を備えるホイートストン・ブリッジの平衡を乱すことであり、他の1つは容量効果であり、それにより圧力がコンデンサの可動電極を形成しているダイアフラムの位置のシフトを誘起すること（したがって容量の変化をもたらすこと）である。

【0004】 本発明はその第1の効果を実現するセンサ、即ち、圧電抵抗センサに関する。現在、半導体材料（シリコン）のダイアフラムは、例えば、1987年4月のIEEE Journal Sol. St. Circuits, vol. sc-22, 151-156に掲載のT. Ishihara, K. Suzuki, S. Suwazono, M. Hirata 及びH. Tanigawa による論文“CMOS Integrated Silicon Pressure Sensor”、及び Microelectronics Jo

urnal 25(1994) 145-156に掲載のA. M. Stoffelによる論文“Micromachining and ASIC Technology”に詳細に記載されている、バルク・マイクロマシーニング技術を用いて製造されている。

【0005】センサを効果的に動作させるためには、ダイアフラムは均一で、固有の機械的応力のない正確に制御された厚さのものでなければならず、その特性は、プラズマ又はウェットエッチング、(結晶面に一致する形状のための) 等方性エッチング、又は(よりシャープに屈曲した連続形状のための) 異方性エッチングによるマイクロストラクチャを形成することにより達成される。現在のところ、ダイアフラムの厚さをより正確に制御し且つ製造過程で生じる張力又は圧縮応力を消滅させるための、ダイアフラムを製造する最良のエッチング方法は、PN接合を使用する電気化学的停止方法であり、それによりダイアフラムはP形基板上のN形単結晶半導体層(例えば、エピタキシャル層)内に形成され、そのN形層は予めインプラントされたアノード・コンタクト領域を除いてマスクされ、基板の後方はダイアフラムが形成されるべき領域に整列されたウインドウを表すマスクでマスクされ、N形層と基板の間にアノード・コンタクト領域を介して正の電圧が印加され、そしてP形基板は数時間の間、低温度(例えば、90°C)で化学的にエッチングされる。エッチングはPN接合で自動的に終了し、除去された基板領域でのN形層はダイアフラムを形成する。

【0006】電気化学的停止方法を用いる絶対的な圧電抵抗マイクロ圧力センサの製造工程の例を、図1から図3を参照して以下に記載する。最初の工程は集積回路の製造に通常採用されているものである。即ち、P形基板2とN形エピタキシャル層3を備える単結晶のウエハ1を設け、そのウエハ1の上側表面から基板2に向けて延びるP形の接合分離領域4がエピタキシャル層3内に形成され、集積回路が次いで形成され(図1はN⁺形のコレクタ領域6と、P形のベース領域7と、N⁺形のエミッタ領域8を持つNPNトランジスタを示している。)、そして、その集積回路の形成と同時に、拡散抵抗器(その中の1つのみのP形抵抗層10を持つものが図示されている)及び各ウエハ及び各ダイアフラムのための1つのアノード領域(図1におけるN⁺形領域11)が形成される。その抵抗器は好ましくは、NPNトランジスタのベース領域7がインプラントされるのと同じ工程で形成され、アノード領域11が集積回路のN形領域の1つ(例えば、コレクタ・コンタクト領域6又はエミッタ領域8)と同じ工程で形成される。誘電体層12が次いでデポジットされ、メタル・コンタクト13が形成される。

【0007】このとき、図2に示されるように、ウエハ1はフロントマスク15及びリアマスク16でマスクされ、その(酸化シリコンの)フロントマスク15はアノ

ード領域11におけるウインドウを除くウエハの上側表面の全てを覆っており、(窒化シリコン又は酸化シリコンの)リアマスク16はダイアフラムが形成されるべき領域を除くウエハの下側表面を覆っている。ウエハの背面はついで異方性エッチングにさらされ、このとき、エピタキシャル層3は、アノード領域11を介して、基板2の対して正の電圧(例えば、5V)でバイアスされる。異方性エッチングはエピタキシャル層3で自動的に停止し、基板2の除去された部分におけるエピタキシャル層3の部分はダイアフラム18を形成する。

【0008】マスク15及び16の除去に続いて、ウエハ1は陽極ボンディング法を用いてガラス17(図3)のシートに結合され、それによりウエハ1とシート17の間に中間高電圧(例えば500V)が、数時間の間、300°Cから400°Cの温度で印加され、最後に、シート17はコンテナ19に固定される。

【0009】

【発明が解決しようとする課題】上記の方法は以下の欠点を有する。即ち、各ウエハ上の電気的コンタクトの故に、それはパッチ処理技術と互換性がない；ウエハ1のリアエッチングはフロント・リア・アラインメントの点で問題を提起する；ウエハ1の厚さは長期のエッチングを必要とする；内在するスケーリングの問題は数百マイクロメータより小さい構造の集積を排除するといったようなものである；そして、ダイアフラムが一旦形成されると、ウエハ1は、絶対センサと差分センサの両方のために、ガラスサポートに固定的に結合されなければならない(これは、ダイアフラムに整列されるホールを必要とし、したがってさらなるアラインメントの問題を生ずる)。

【0010】現在使用されている集積回路技術における方法を統合することを困難にしている上記の欠点に鑑み、数マイクロ圧力センサの製造者は集積ダブルチップを形成することを選んだ。即ち、一方のチップはダイアフラム・マイクロストラクチャを含み、他方は信号処理のために設けられる。シングル・チップ集積センサもやはり存在しているが、パッチ処理はされない。

【0011】いくつかの産業研究所およびリサーチセンタは、サーフェス・マイクロマシーニング技術を用いるプロトタイプの集積マイクロストラクチャを提供してきた。これらの詳細は、例えば、Sensors and Actuators A 46-47 (1995)の第143頁から146頁にあるO. Paul, H. Baltesによる論文“Novel fully CMOS-compatible vacuum sensor”に、ダイアフラム又は誘電体が犠牲メタル層の上に形成されると記載されており、Sensor 95 Kongressband, AOI.2の第21頁から25頁にあるT. Lisec, H. Stauch, B. Wnagerによる論文“Surface-Micromachined Piezoresistive Pressure Sensor”に、犠牲層及びダイアフラムがポリシリコンであり酸化シリコンにより分離されていることが記載されており、Sensors and Mate

rials 4, 5(1993) の第265 頁から275 頁にあるS. Sugiyama, K. Shimaoka, O. Tabata による論文"Surface-Micromachined Microdiaphragm Pressure Sensors" に、犠牲ポリシリコン層及び窒化シリコン層をダイアフラムとして使用することが記載されている。

【0012】それらは実際に装置をよりよく集積するが、上記のサーフェス・マイクロマシーニング技術はダイアフラムを形成するためにデポジットされた(アモルファス又は多結晶)膜の質に関して、シリコン基板上のサスペンド構造の崩壊に関して、及びパッケージングの困難性に関して、深刻な問題を提起する。本発明の目的は前記の欠点を克服するように設計された集積圧電センサ及び関連する製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明によれば、請求項1および9にそれぞれ記載した集積圧電抵抗センサおよびこれに関する製造方法が提供される。実際に、本発明によれば、このセンサはSOI(シリコン・オン・インシュレータ)を利用してダイアフラムを形成し、絶縁層はダイアフラムを形成するための化学的エッチングにより部分的に除去された犠牲層を形成し、こうして処理を大幅に単純化し、且つ内在するパッケージングの問題の多くを除去する。

【0014】

【発明の実施の形態】本発明の2つの好ましい、非限定的な実施例を添付の図面を参照して記載する。本発明によるセンサは知られた方法で形成されたSOI基板から形成される。図4の例においては、SOI基板は、任意の導電形(P又はN)の単結晶の実際の基板領域21の上に例えば、SiO₂のような絶縁層22がデポジット又は加熱生長により重ねられており、この絶縁層に、この場合はN形の、第2の単結晶シリコンウエハ23が(例えば、1989年8月のJapanese Journal of Applied Physics, Vol. 28, N. 8の第1426頁から1443頁に記載のJ. Hausman, G.A. Spierings, U.K.P. Bierman およびJ.A. Pals による論文"Silicon-On Insulator Wafer Bonding-Wafer Thinning Technological Evaluations"に記載の)知られた方法で結合されている。絶縁層22の厚さは好ましくは600nmから1200nmである。第2のウエハ23の厚さは、以下に記載のように、センサのフルスケール圧力と、ダイアフラムの寸法と、製造パラメータとに依存しており、およそ5μmと10μmの間にある。

【0015】第1のウエハ20に関しては、上記の標準製造工程が遂行されて、接合分離領域4と、集積化された電子コンポーネント(領域6~8)と、拡散P形圧電抵抗10とを形成するが、知られた方法とは異なり、アノード領域11は形成されない。この時点で、本発明の方法により、上側の面はデポジットされたプラズマ窒化層(図4における層25)で覆われ、この層は第1のバ

ンペーション層としておよび第2のウエハ23内のトレレンチを形成するためのマスクとして作用する。窒化層25はフォトリソグラフィ的にエッチングされ、図7および図8に示すように、後続するエッチング工程で第2のウエハ23内に多数のトレレンチ26を形成する。

【0016】第1のウエハ20は次いで、フッ化水素酸でエッチングされ、それは第2のウエハ23内のトレレンチを貫通して埋め込み絶縁層22の一部を除去し、層22内に開口即ちウインドウ31を形成し、それにより開口31の上の第2のウエハ23の部分はダイアフラム27を形成する。絶縁層22のエッチング時間とトレレンチ26の位置を適切に調節することにより、ダイアフラム27は所望のように、より特定のには、圧電抵抗器10がダイアフラム27のエッジに、即ち最大圧力が誘起される応力領域に配置される事を確実化する方法で、整形され大きさが決められる。図7は、一例として、ダイアフラム27aが円形で、トレレンチ26がダイアフラムの、円27aの中心に同心の円28の内側中央部に形成されている。図8に示される第2の実施例においては、ダイアフラム27bは正方形で、トレレンチ26が適切に配置されている。

【0017】この時点で、誘電体(例えば、USG-アンドロプト・シリコン・ガラス)層30がデポジットされてトレレンチ26の頂部を覆ってトレレンチ26と開口31を絶縁し(図6)、それによりバルク・マイクロマシーニング法に要求される陽極ボンディング工程を不要にする。このようにして形成された第1のウエハ20は、カッティング、パッケージングおよびコンテナへのダイスの直接的な結合を含む通常の、標準IC処理と変らない最終操作にさらされる。

【0018】ダイアフラム27および(トレレンチ領域)円28のサイズは典型的には以下に示す等式に従う圧力測定範囲に依存している。ダイアフラム27aが半径aの円である図7の実施例においては、円28の半径はbであり、圧力Pは表面に均一に分布され、最大応力S_{max}および最大垂直たわみW_{max}は、

$$S_{max} = kP(s/s)^2 \quad (1)$$

$$W_{max} = hP(a^4/Es^3)$$

ただし、Sはダイアフラムの厚さ(図6の第2のウエハ23の厚さ)であり、Eは単結晶シリコン(130Gパスカル)のヤング・モジュールであり、kおよびhはダイアフラムの固定のされ方と比a/bとに依存する数である。比a/bの値が1.25から5に対しては、kは0.1と0.73の間の範囲にあり、hは0.002と0.17との間にある。シリコンによる最大耐性応力はおよそ4000パーセントであることに着目し、Qがセンサのバルフルスケール圧力であるとする、次の等式が適用される。

【0019】

$$(a/s)^2 = 0.8 * 10^3 / (k * Q)$$

これに対して、一辺が2aの正方形のダイアフラムの場合

合(図8)で他のパラメータに変更がない場合は、等式(1)は、

$$W_{\max} = hP(a^4/Es^3)/3 \quad (1')$$

となる。

【0020】上記のセンサおよびその製造方法の利益は次の通りである。即ち、その製造方法はバッチ処理と互換性があり、従って同一の経済的利益を享受できる。そのセンサは信号処理回路と共に完全に集積化できるので、センサとすべての処理ロジックを1つのチップに含ませる事ができ、こうして寸法、信号伝達時間および外部現象に対する感度を小さくすることができる。フロント・リアの整列に関する問題はない。センサの空間的集積度はサーフェス・マイクロマシンの構造と似かよったものであり、バルク・マイクロマシンのセンサと比較して1から2オーダだけ大きい。単結晶シリコンダイアフラムを特徴付けることにより、センサの機械的特性は、サーフェス・マイクロマシンの構造に典型的であるデポジットされたフィルムのものより優れている。そして、最後に、ガラスの支持を不要としたことにより、陽極ボンディングの必要性がなくなる。

【0021】明らかに、本発明の範囲から逸脱することなく、上記のセンサおよび製造方法に対して変更を加えることが可能である。特に、各領域の導電性は、示されたもの以外でもよく、例えば、第2のウエハの導電性と圧電抵抗器は二重でもよく、任意のタイプのコンポーネントと互換性の有る技術とをその構造内で統合してもよく、そして、分離領域4は示されたもの以外のもの、例

えば、誘電体でもよい。

【図面の簡単な説明】

【図1】従来のセンサの1製造工程における半導体材料のウエハの断面図である。

【図2】従来のセンサの次の製造工程における半導体材料のウエハの断面図である。

【図3】従来のセンサのさらに次の製造工程における半導体材料のウエハの断面図である。

【図4】本発明によるセンサの1製造工程における半導体材料のウエハの断面図である。

【図5】本発明によるセンサの次の製造工程における半導体材料のウエハの断面図である。

【図6】本発明によるセンサのさらに次の製造工程における半導体材料のウエハの断面図である。

【図7】本発明によるセンサの詳細の上平面図である。

【図8】本発明によるセンサの他の実施例の上平面図である。

【符号の説明】

10…圧電抵抗素子

20…SOI基板

21…第1のウエハ

22…絶縁材料層

23…第2のウエハ

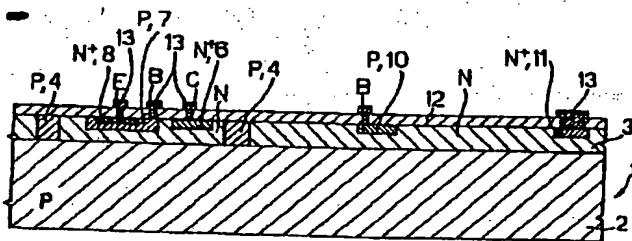
25…誘電体材料層

26…トレンチ

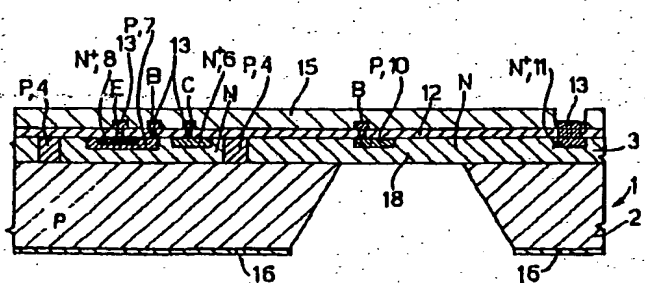
27、27A、27b…ダイアフラム

31…開口

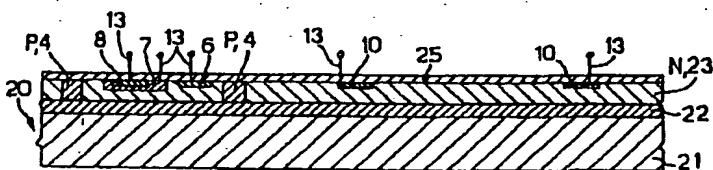
【図1】



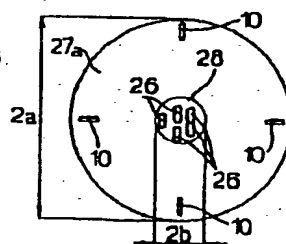
【図2】



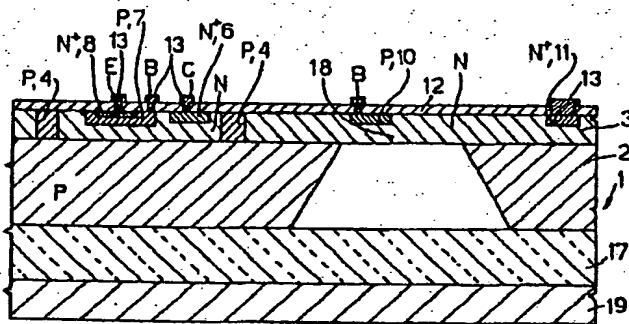
【図4】



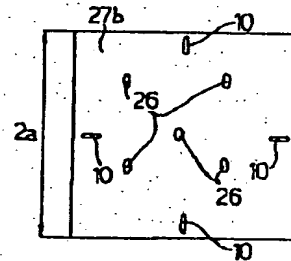
【図7】



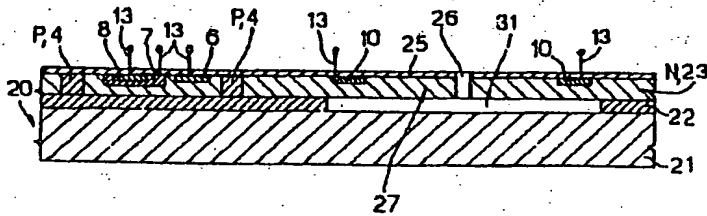
【図3】



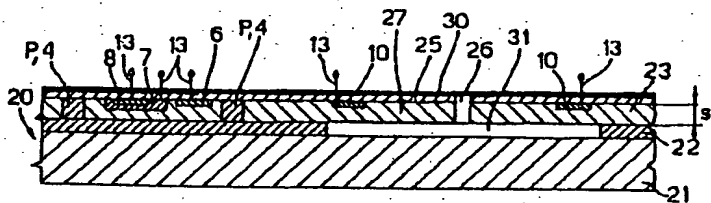
【図8】



【図5】



【図6】



フロントページの続き

(72)発明者 フラビオ・ビーラ
 イタリア国、20159 ミラノ、ピア・ピ
 ランベルテンギ 23